UNIVERSITATEA „POLITEHNICA” din BUCUREŞTI

ŞCOALA DOCTORALĂ DE INGINERIE ELECTRICĂ

REZUMAT TEZĂ DE DOCTORAT

CERCETĂRI PRIVIND ANALIZA CIRCUITELOR ANALOGICE CU MEMRISTOARE

Doctorand: **Ing. Alexandra IONESCU (POPESCU)**

Conducător**: Prof. Dr. Ing. Mihai IORDACHE**

BUCUREŞTI 2021

CUPRINS

CAPITOLUL 1 4

INTRODUCERE 4

1.1. FORMULAREA PROBLEMEI 4

1.2. OBIECTIVELE CERCETĂRII 4

1.3. STRUCTURA ȘI CONȚINUTUL TEZEI 5

CAPITOLUL 2 6

ANALIZA CIRCUITELOR ANALOGICE CU MEMRISTOARE 6

2.1. MEMRISTORUL - NOȚIUNI TEORETICE 6

2.2. MODELUL FIZIC AL MEMRISTORULUI 7

2.3. MODELUL MATEMATIC AL MEMRISTORULUI 8

CAPITOLUL 3 9

SIMULAREA CIRCUITELOR NELINIARE MEMRISTIVE 9

3.1. INTRODUCERE 9

3.2. ANALIZA MEMRISTOARELOR UTILIZÂND LTSPICE 9

3.3. ANALIZA CIRCUITELOR CU PORȚI LOGICE MEMRISTIVE 10

CAPITOLUL 4 11

MODELAREA NEURONALĂ CU AJUTORUL PRINCIPIULUI HODGKIN-HUXLEY 11

4.1. INTRODUCERE 11

4.2. MODELUL MEMRISTIV AL AXONULUI HODGKIN-HUXLEY 12

4.2.1. MEMRISTORUL PENTRU CANALUL CU IONI DE POTASIU 12

4.2.2. MEMRISTORUL PENTRU CANALUL CU IONI DE SODIU 14

4.2.3. CALCULUL BUCLELOR CURBEI DE HISTEREZIS 15

4.3. CIRCUITUL MEMRISTIV AL MODELULUI HODGKIN-HUXLEY 16

CAPITOLUL 5 18

IMPLEMENTAREA UNUI OSCILATOR HAOTIC MEMRISTIV 18

5.1. INTRODUCERE 18

5.2. OSCILATORUL HAOTIC AL LUI CHUA 18

5.3. MODELUL MEMRISTIV AL OSCILATORULUI CHUA 20

CAPITOLUL 6 25

CONCLUZII 25

6.1 CONCLUZII GENERALE 25

6.2 CONTRIBUȚII ORIGINALE 25

6.3 PERSPECTIVE DE DEZVOLTARE ULTERIOARĂ 26

BIBLIOGRAFIE 27

ANEXE 31

CAPITOLUL 1
INTRODUCERE

1.1. FORMULAREA PROBLEMEI

Noul element de circuit, numit *memristor,* a fost introdus pentru prima oară 1971 de profesorul Leon Chua de la Universitatea din California – Berkeley și definește o componentă electrică neliniară, pasivă, cu două terminale, care stabilește o relație de legatură între sarcina electrică și fluxul magnetic.

Câteva dintre subiectele ce prezintă un interes actual se referă la construirea circuitelor cu porți logice memristive, construirea blocurilor de memorie cu ajutorul memristoarelor, utilizarea memristoarelor în circuite neuromorfe, circuite integrate de citire (read-out integrated circuits, 'ROIC'), etc. Cercetările legate de memristoare continuă și în zilele noastre în special datorită faptului că au depășit stadiul de concept, principala problemă rămâne însă faptul în ciuda caracteristicilor promițătoare ale memristoarelor, acestea nu și-au găsit încă locul în industria electronică.

1.2. OBIECTIVELE CERCETĂRII

Această lucrare are ca scop principal conturarea unei imagini de ansamblu asupra principalelor aspecte ale memristorului și include într-o primă parte noțiunile fundamentale ale memristorului, modelul matematic și modelul fizic al acestuia. În a doua parte a lucrării sunt studiate circuite analogice cu memristoare din principalele arii posibile de aplicabilitate ale acestui element inovator de circuit: utilizarea memristoarelor pentru asigurarea fenomenului de comutație în cadrul circuitelor cu porți logice; utilizarea memristoarelor pentru modelarea sinapselor din creier conform modelului neuronal propus de cercetătorii Hodgkin și Huxley prin înlocuirea canalelor ionice active cu canale memristive ionice de sodiu, respectiv potasiu; adăugarea memristorului în cadrul circuitului oscilatorului lui Chua pentru a îmbunătăți caracterul haotic al circuitului și pentru a studia efectele, respectiv dinamica circuitului memristiv propus.

1.3. STRUCTURA ȘI CONȚINUTUL TEZEI

Lucrarea "Cercetări Privind Analiza Circuitelor Analogice Cu Memristoare*"* este structurată pe 6 capitole după cum urmează:

În ***Capitolul 1 – Introducere***, sunt prezentate aspecte generale legate de formularea problemei în cadrul acestei cercetări, urmate de obiectivele urmărite în prezenta lucrare.

Capitolul 2, intitulat ***Analiza circuitelor analogice cu memristoare*** este unul introductiv, explicativ, ce conturează o analiză generală a conceptelor de bază ale memristorului. Este prezentat modelul matematic al memristorului definit de *Leon Chua*, urmat de descrierea modelului fizic al memristorului cu deplasare neliniară a stratului dopant, propusă de compania *Hewlett-Packard*.

Capitolul 3, intitulat ***Simularea circuitelor neliniare memristive,*** prezintă exemple de analiză a circuitelor electrice neliniare pornind de la modelul LT Spice al memristorului HP propus de *Zdeněk BIOLEK*, urmate de o analiza a circuitelor cu porți logice memristive.

Capitolul 4 intitulat ***Modelarea neuronală cu ajutorul principiului Hodgkin-Huxley*** este dedicat studiului modelului neuronal electrofiziologic introdus de cercetătorii *Hodgkin* și *Huxley*. În acest capitol fiind reprodus acest comportament prin intermediul unor memristoare pasive și nevolatile, printr-un studiu amănunțit și o caracterizare a două memristoare biologice cu canale ionice de sodiu și potasiu prin studiul circuitelor lor electrice echivalente și a formelor de undă specifice.

În ***Capitolul 5*** intitulat ***Implementarea unui oscilator haotic utilizând memristorul HP*** este prezentată realizarea unui circuit haotic bazat pe modelul tradițional al oscilatorului lui *Chua*, dar care îmbină utilizarea unui rezistor neliniar tradițional cu adăugarea unui memristor, respectiv modelul realizat în cadrul laboratoarelor *HP*. Circuitele propuse în cadrul acestei lucrări pornesc de la tehnicile utilizate până în prezent de modelare a elementului neliniar din circuitul oscilatorului lui Chua, fie cu ajutorul a două diode și rezistențe (modelul *Matsumoto*), fie cu amplificatoare operaționale și șase rezistențe (modelul *Kennedy*), la care am adăugat modelul memristorului HP.

În ***Capitolul 6 - Concluzii și Contribuții originale*** sunt redate concluziile activității științifice desfășurate pe perioada elaborării tezei de doctorat, principalele contribuții originale aduse în teză și o serie de direcții de cercetare viitoare.

CAPITOLUL 2
ANALIZA CIRCUITELOR ANALOGICE CU MEMRISTOARE

2.1. MEMRISTORUL - NOȚIUNI TEORETICE

Noțiunea de memristor a fost consemnată pentru prima dată de către profesorul Leon Chua în anul 1971 anunțând existența unui nou element pasiv de circuit cu două terminale, alături de rezistor, bobină și condensator.

Pornind de la ideea de a obține o simetrie a ecuațiilor ce definesc elementele pasive de circuit fundamentale (figura 2.1), Chua a presupus că trebuie să existe o relație de legatură între fluxul magnetic și sarcina electrică, pe lângă cele deja existente dintre tensiune și curentul electric, flux magnetic și curentul electric, respectiv tensiune și sarcina electrică.

Relația de dependență neliniară între sarcina electrică $q(t)$ și fluxul magnetic $\varphi(t)$ din figura 2.1 este asigurată astfel de cel de-al patrulea element pasiv de circuit cu două terminale ce este caracterizat de proprietatea numită memrezistență ***M***, măsurată în ohmi [**Ω**] [1], [12].

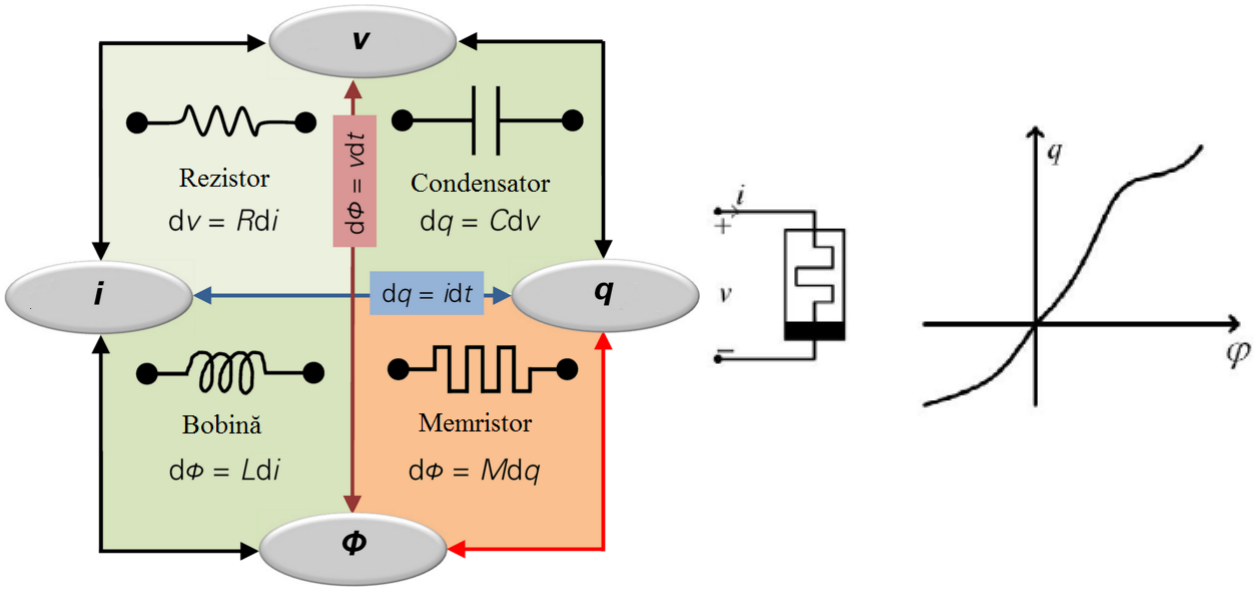


Figura 2.1 Elementele pasive de circuit cu două terminale [3]
Simbolul și caracteristica φ-q a memristorului [1]

2.2. MODELUL FIZIC AL MEMRISTORULUI

Implementarea fizică a unui astfel de element de circuit a fost dezvoltată inițial de laboratoarele *Hewlett-Packard (HP)* în anul 2008, prin poziționarea a două straturi de dioxid de titaniu între doi electrozi de platină (figura 2.2). Primul strat este parțial dopat cu goluri de oxigen și se comportă ca un semiconductor, iar cel de-al doilea strat de dioxid de titaniu pur, acționează ca un strat izolator [3].

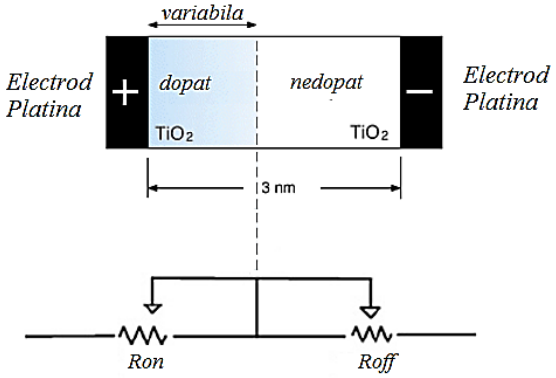


Figura 2.2 Structura internă a unui memristor (*w* – lățimea variabilă a stratului dopat, *D* – lățimea totală a memristorului – *3nm* în cazul modelului HP) [3]

La aplicarea unei tensiuni pozitive la bornele memristorului, golurile din stratul dopat migrează spre dreapta, deplasând totodată granița în aceeași direcție și scăzând rezistența stratului nedopat. La încetarea potențialului, golurile rămân imobilizate iar rezistența totală a memristorului rămâne constantă, remarcându-se astfel caracteristica de a memora valoarea rezistenței chiar și în lipsa unui semnal de alimentare.

O altă particularitate a modelului prezentat de *HP* o reprezintă caracteristica $M(q) = V(t)/I(t)$ a memristorului. Aceasta este o curbă curent - tensiune a unei bucle de histerezis impară, simetrică în jurul originii ce descrie deplasarea fazei curentului în funcție de polaritatea tensiunii aplicate la bornele elementului semiconductor [3], [12].

Caracteristica *I-V* ilustrată în figura 2.3 evidențiază o comutare între diferite valori ale rezistenței. Aceasta atinge valori pozitive atunci când crește tensiunea aplicată la bornele rezistenței cu memorie, respectiv negative atunci când tensiunea scade. Caracteristica se poate restrânge la o linie dreaptă pentru frecvențe înalte, caz în care memristorul se comportă ca un rezistor clasic [38].

2.3. MODELUL MATEMATIC AL MEMRISTORULUI

În cadrul acestei lucrări este studiat modelul memristorului cu deplasare neliniară a stratului dopant. Pornind de la conexiunea în serie a celor două straturi de dioxid de titaniu și aplicând legea lui Ohm se poate exprima modelul matematic al memristorului prin relațiile urmatoare [5], [12]:

$$v(t) = \left[R_{on} \frac{w(t)}{D} + R_{off} \left(1 - \frac{w(t)}{D} \right) \right] i(t) \tag{2.13}$$

unde $w(t)$ reprezintă lățimea stratului dopat, R_{on} este rezișenta minimă a memristorului, iar R_{off} este rezistența maximă a memristorului

Variația memrezistenței în funcție de timp [5], [12]:

$$M_q(t) = R_{off} \left(1 - \frac{\mu_v R_{on}}{D^2} q(t) \right) = R_{off} \left(1 - \frac{q(t)}{Q_d} \right), \tag{2.17}$$

unde $Q_d = \dfrac{D^2}{\mu_v R_{on}}$.

Având în vedere că $\Delta R = R_{off} - R_{on} \cong R_{off} \cong M_0$, atunci sarcina electrică prin memristor poate fi exprimată astfel [5], [12]:

$$q(t) = Q_d \left(1 - \sqrt{1 - \frac{2}{Q_d R_{off}} \varphi(t)} \right), \tag{2.18}$$

Prin diferențierea relației de mai sus se poate obține ecuația intensității curentului ca urmare a deplasării sarcinii electrice prin memristor, în care s-a notat cu *r* raportul dintre R_{off} și R_{on} [5], [12]:

$$i(t) = \frac{v(t)}{R_{off} \sqrt{1 - \dfrac{2\mu_d}{rD^2} \displaystyle\int_0^t v(t)dt}} \tag{2.19}$$

CAPITOLUL 3
SIMULAREA CIRCUITELOR NELINIARE MEMRISTIVE

3.1. INTRODUCERE

În acest capitolul sunt prezentate metode de simulare a circuitelor memristive. Analiza acestora este bazată pe modelul memristorului cu deplasare neliniară a stratului dopant dezvoltat în cadrul laboratoarelor *HP*, respectiv pe modelul propus de *Zdeněk BIOLEK* și dezvoltat în programul LT Spice, urmat de analiza circuitelor cu porți logice memristive.

Modelarea unui memristor neliniar utilizând programul LTspice este realizată plecând de la circuitul electric echivalent al unui astfel de dispozitiv, fiind implementat cu ajutorul unui fișier de tip '*netlist'*, atașat în ANEXA1, ce definește atât topologia subcircuitului electric, modelul matematic cât și valorile utilizate pentru parametrii la momentul inițial t_0.

3.2. ANALIZA MEMRISTOARELOR UTILIZÂND LTSPICE

Este utilizat programul LTspice întrucât acesta permite simularea facilă a circuitelor analogice prin definirea topologiei circuitului electric (figura 3.2) și analiza formelor de undă descrise de acesta. Memristorul este adăugat în libraria programului LTSpice ca un element nou de circuit cu două terminale (*plus*, *minus*), fiind caracterizat de proprietățile descrise în fișierul *MEMRISTOR.subckt* din ANEXA1.

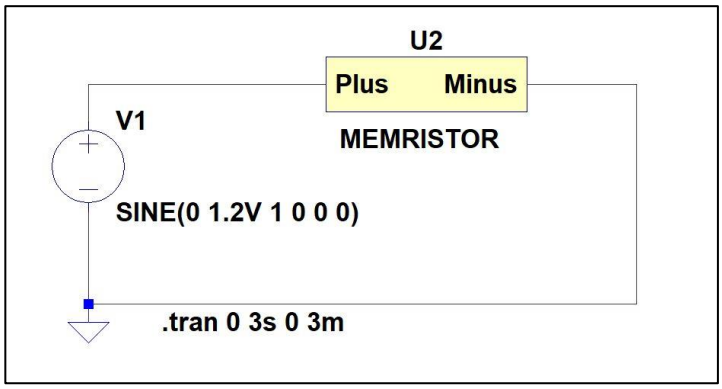


Figura 3.2 Circuitul electric al unui memristor simulat în LTSpice

Modelul memristorului este apoi încărcat în LT Spice cu ajutorul unui fișier de tip ‘netlist’ și definește atât topologia subcircuitului electric din figura 3.2, modelul matematic cât și valorile utilizate pentru parametrii memristorului la momentul inițial t_0.

Memristorul este alimentat cu o tensiune sinusoidală de amplitudine 1.2V și este efectuată o analiză în regim tranzitoriu a acestuia prin studiul variației în timp a tensiunii de alimentare, a curentului absorbit de memristor cât și curba de histerezis caracteristică dispozitivelor cu memorie, pentru diferite valori ale parametrilor caracteristici.

3.3. ANALIZA CIRCUITELOR CU PORȚI LOGICE MEMRISTIVE

Posibilele aplicații digitale ce au la bază sisteme memristive par să deschidă mari oprotunități și totodată provocări cercetătorilor din zilele noastre. Unul dintre subiectele ce prezintă un interes actual se referă la construirea de circuite cu porți logice cu ajutorul memristoarelor.

Dispozitivele memristive sunt folosite în acest caz doar pentru a asigura fenomenul de comutație și nu pentru a stoca stări logice, similar circuitelor deja existente bazate pe logica CMOS. Pentru implementarea porților logice sunt utilizate două memristoare de polarități opuse conectate în serie (figura 3.5) [15]. Astfel, semnalele de intrare sunt asigurate prin terminalele libere ale fiecărui memristor, pe când semnalul de ieșire este obținut prin terminalul comun al celor două dispozitive înseriate [7].

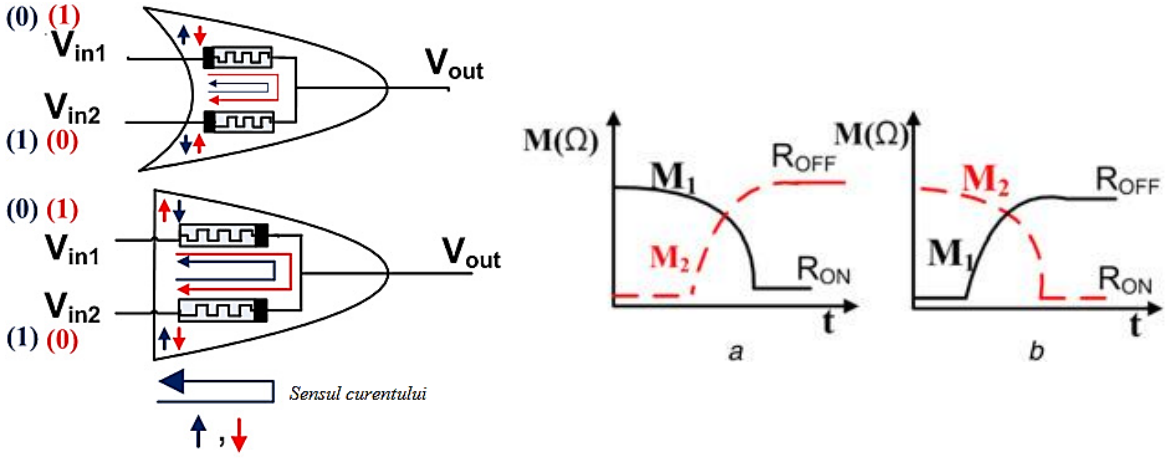


Figura 3.5 Porți logice cu memristoare. Variația memrezistenței în cazul porților *SAU* (a), *ȘI* (b) [7]

Fenomenele de comutație pentru astfel de dispozitive pot fi urmărite prin implementarea circuitelor porților logice cu ajutorul programului LTspice. Modelarea elemenului memristiv este realizată cu ajutorul aceluiași fișier de tip netlist definit în ANEXA 1, modificând valorile parametrilor inițiali după cum este prezentat în subcircuitele din ANEXA 2.

CAPITOLUL 4
MODELAREA NEURONALĂ CU AJUTORUL PRINCIPIULUI HODGKIN-HUXLEY

4.1. INTRODUCERE

Cercetătorii Hodgkin și Huxley au descoperit existența unor canale de încarcare cu ioni de sodiu și potasiu distribuite pe întreaga lungime a axonilor neuronilor, alături de un așa-numit canal de descărcare, prezentate în figura 4.1 [17].

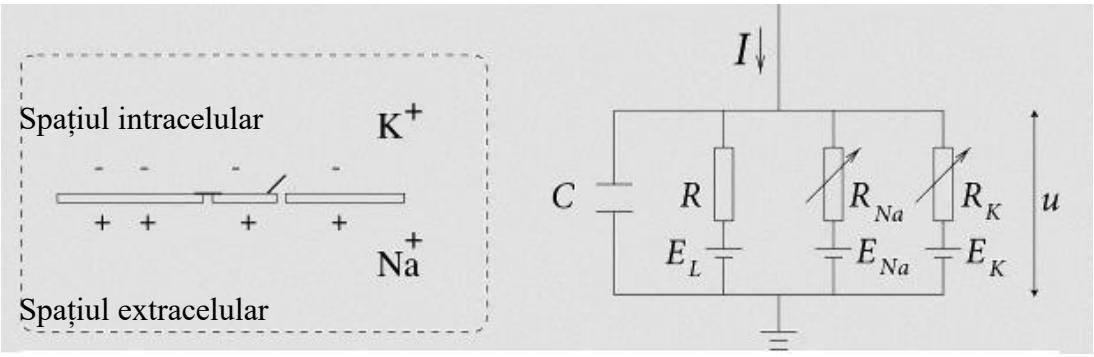


Figura 4.1 Circuitul electric echivalent al modelului Hodgkin-Huxley [19]

În modelul inițialial descris de Hodgkin și Huxley există doar 3 tipuri de canale ionice: canale de sodiu, ilustrate pe ramura *(Na+)*, canale de potasiu, pe ramura *(K+)* şi un canal de scurgere nespecificat modelat prin ramura *(R)* [17]. Canalele ionice sunt descrise cu ajutorul conductanțelor g_{Na} pentru canalul de sodiu, g_K pentru canalul de potasiu, g_L pentru canalul de scurgere și prin intermediul variabilelor de poartă *n* pentru potasiu și *m*, respectiv *h* pentru sodiu.

Lucrarea de față subliniază faptul ca aceste canale ionice prezentate în capitolul 4 sunt de fapt niște memristoare locale active. Mai exact, canalele ionice de sodiu și potasiu din creier prezintă toate caracteristicile memristoarelor [22], [23] inclusiv caracteristica de histerezis *Lissajous* ce variază odată cu modificarea frecvenței semnalului de excitație [16], [4].

4.2. MODELUL MEMRISTIV AL AXONULUI HODGKIN-HUXLEY

Scopul acestui subcapitol este de a realiza un studiu amănunțit bazat pe modelul axonului gigant al caracatițelor (Hodgkin-Huxley) prezentat anterior și de a evidenția că acesta este alcătuit din două memristoare active, mai exact conține un memristor pentru canalele ionice de potasiu, respectiv de sodiu.

4.2.1. MEMRISTORUL PENTRU CANALUL CU IONI DE POTASIU

Leon Chua descrie conductanța memristivă a canalelor ionice de potasiu G_K din modelul Hodgkin-Huxley ca fiind de fapt memristoare de ordin 1.

Caracteristica de histerezis prezentată de memristoarele pentru canalele ionice de potasiu sunt analizate în LT Spice conform circuitului descris în ANEXA 3, prin aplicarea unor semnale sinusoidale periodice, primul dintre acestea fiind $v_K(t) = A\sin(2\pi ft)$ cu amplitudinea de 50mV și frecvența de 100Hz.

Circuitul echivalent al memristoarelor aferente canalelor ionice de potasiu prezintă o caracteristică de histrerezis simetrică în jurul originii ilustrată în planul i_K-v_K din figura 4.4, alături de variația memconductanței G_K , raportată la valoarea tensiunii de alimentare v_K.

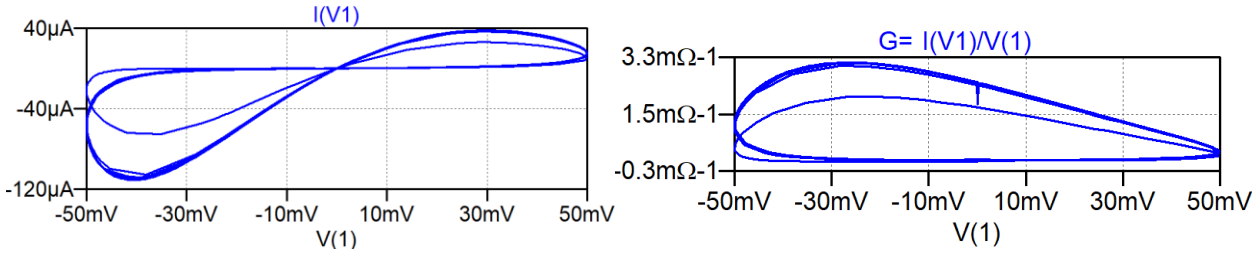


Figura 4.4 Caracteristica de histrerezis $I_k=f(V_k)$. Variația G_K în funcție de v_K.

În continuare s-a considerat un memristor pentru canalele ionice de potasiu, alimentat de un semnal compus dintr-un semnal sinusoidal $A\sin(2\pi ft)$ și armonica lui de ordin N de amplitudine B și defazaj Φ, astfel încât $v_K(t) = A\sin(2\pi ft) + B\sin(2\pi Nft + \Phi)$, unde N = 1,3,5 și reprezintă ordinul armonicii semnalului original, f este frecvența de 100Hz, amplitudinea semnalului este A=B=50mV iar defazajul Φ=π/3.

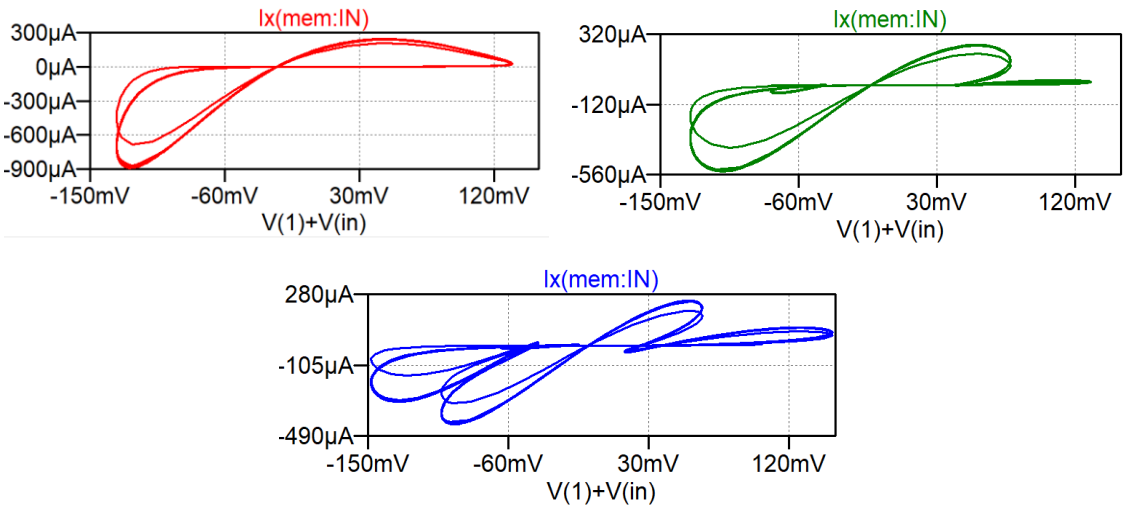


Figura 4.5. Figura 4.4 Caracteristica de histrerezis $I_k=f(V_k)$ pentru N = 1, 3, 5.

Într-o ultimă fază s-a considerat un memristor pentru canale ionice de potasiu, alimentat de un semnal compus de forma $v_K(t) = A\sin(2\pi ft) + B\sin(2\pi Nft + \Phi)$, unde N = 1,5,10,20 și reprezintă ordinul armonicii semnalului original, f este frecvența de 100Hz, amplitudinea semnalului este A=50mV, B=10mV iar defazajul Φ=π/3.

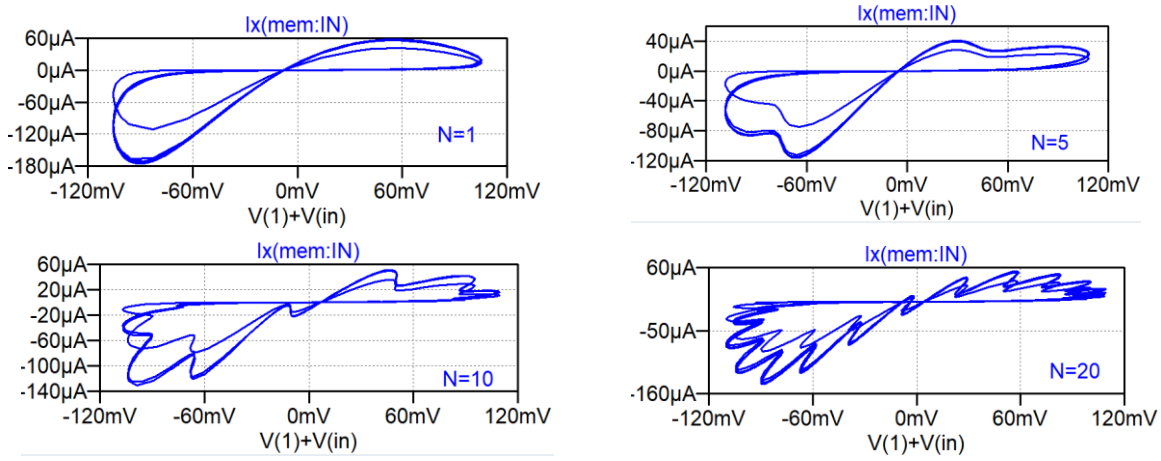


Figura 4.6 Caracteristica de histrerezis $I_k=f(V_k)$ pentru A=50mV, B=10mV, N=1,5,10,20

4.2.2. MEMRISTORUL PENTRU CANALUL CU IONI DE SODIU

Similar, ecuația ce definește modelul canalelor ionice de sodiu din modelul Hodgkin-Huxley sunt de fapt memristoare de ordin 2.

Caracteristica de histerezis prezentată de memristoarele pentru canalele ionice de sodiu sunt analizate în LT Spice conform ANEXEI 4 prin aplicarea unor semnale sinusoidale periodice.

Primul semnal aplicat este unul sinusoidal de forma $v_{Na}(t) = A\sin(2\pi ft)$ cu amplitudinea de 120mV și frecvența de 200Hz cu valorile inițiale ale variabilelor de poartă *m(0)=0*, respectiv *h(0)=0.003*.

În continuare s-a considerat un memristor pentru canalele ionice de sodiu, alimentat de un semnal compus dintr-un semnal sinusoidal $A\sin(2\pi ft)$ și armonica lui de ordin N de amplitudine B și defazaj Φ astfel încât $v_{Na}(t) = A\sin(2\pi ft) + B\sin(2\pi Nft + \Phi)$, unde N = 1,3,5 și reprezintă ordinul armonicii semnalului original, f este frecvența de 500Hz, amplitudinea semnalului este A=B=50mV iar defazajul Φ=π/3.

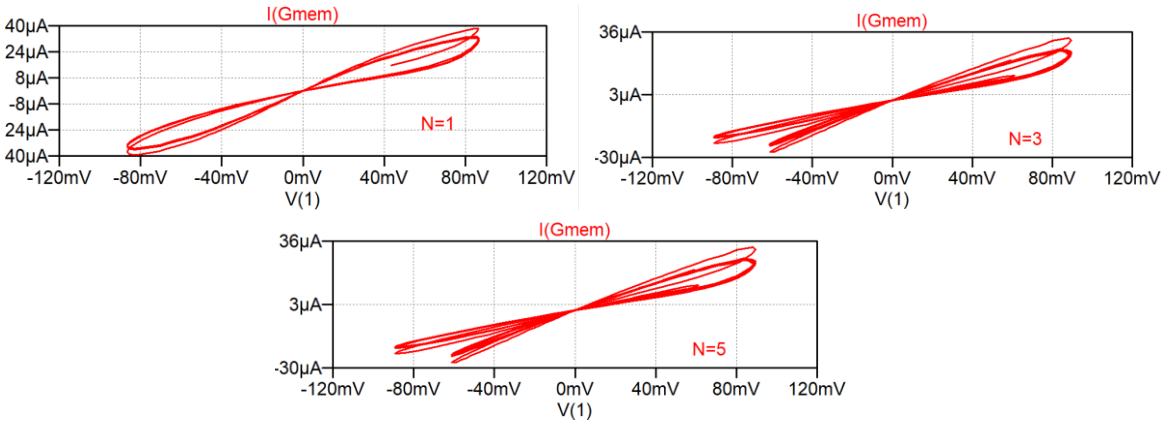


Figura 4.8 Caracteristica de histrerezis $I_{Na}=f(V_{Na})$ pentru A=B=50mV, N=1,3,5, Φ=π/3

Într-o ultimă fază s-a considerat un memristor pentru canalele ionice de sodiu, alimentat de un semnal compus dintr-un semnal sinusoidal $A\sin(2\pi ft)$ și armonici de ordin N de amplitudine B și defazaj Φ astfel încât $v_{Na}(t) = A\sin(2\pi ft) + B\sin(2\pi Nft + \Phi)$, unde N = 1,5,10,20 și reprezintă ordinul armonicii semnalului original, f este frecvența de 500Hz, amplitudinea semnalului este A=50mV, B=15mV iar defazajul Φ=π/3.

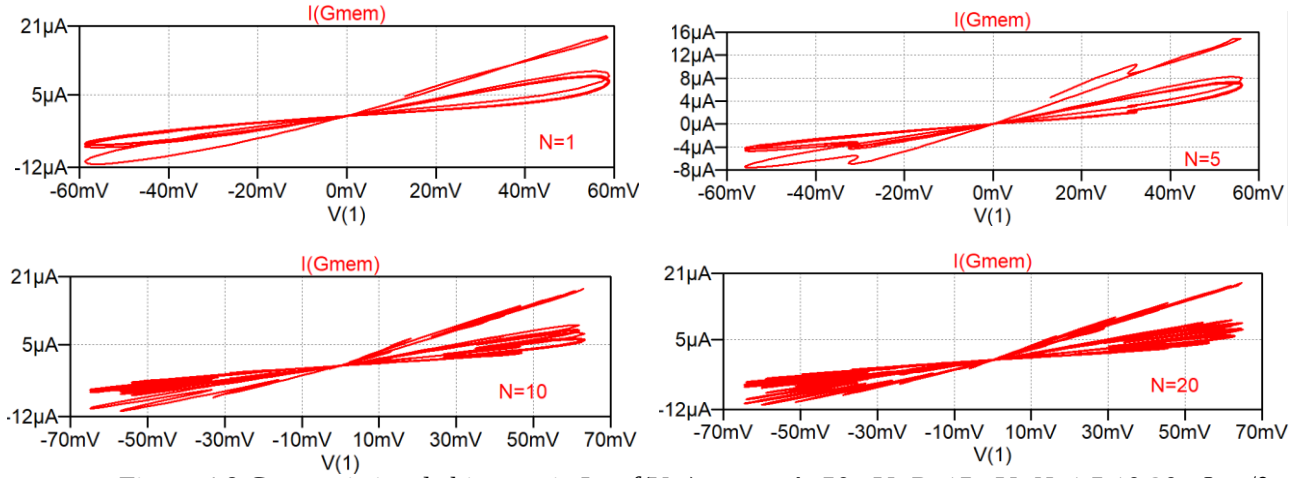


Figura 4.9 Caracteristica de histrerezis $I_{Na}=f(V_{Na})$ pentru A=50mV, B=15mV, N=1,5,10,20, $\Phi=\pi/3$

4.2.3. CALCULUL BUCLELOR CURBEI DE HISTEREZIS

Această dependență a curbei de histerezis de frecvența semnalului de intrare este o altă proprietate specifică memristoarelor [25], detaliată în acest subcapitol prin aplicarea unui semnal de intrare periodic unui memristor, utilizând programul LT Spice, astfel încât cele două bucle ale caracteristicii $I = f(V)$ să fie obținute în cadranele 1 și 3 pe perioada ($0 \le t \le T/2$) de amplitudine pozitivă, respectiv ($T/2 \le t \le T$) de amplitudine negativă a tensiunii.

În continuare este ilustrată orientarea curbei de histerezis a memristoarelor pentru canalele ionice de potasiu, respectiv sodiu, pentru un semnal de intrare periodic utilizând în LT Spice subcircuitele din ANEXA 3 si 4.

Pentru memristorul aferent canalului memristiv cu ioni de potasiu, la momentul de timp $t=T/2$ aria A_{r^+} ia valori pozitive, pe când A_{r^-} ia valori negative, astfel încat orientarea curbei de histerezis pentru cazul studiat este în sensul acelor de ceasornic pentru $t < T/2$, respectiv în sens invers pentru $t > T/2$.

Pentru memristorul aferent canalului memristiv cu ioni de sodiu, aria buclei de histerezis pe perioada $0 < t < T/4$ variază de la zero la valori pozitive, astfel încat această sub-buclă are orientarea în sensul acelor de ceasornic, pe când pentru $T/4 < t < T/2$ se obține o altă sub-buclă orientată invers acelor de ceasornic deoarece aria buclei de histerezis migrează către valori negative. Aria pe perioada $T/2 < t < T$ ia doar valori pozitive și ilustrează clar sensul buclei din cadranul 3 în sesnul acelor de ceasornic.

4.3. CIRCUITUL MEMRISTIV AL MODELULUI HODGKIN-HUXLEY

Scopul acestui paragraf este de a realiza un studiu amănunțit bazat pe întregul model al axonului caracatițelor gigant și de a evidenția că acesta poate fi alcătuit din două memristoare aferente canalelor ionice de potasiu, respectiv sodiu, studiate în capitolele precedente.

Un studiu electric detaliat și o caracterizare a acestui model sunt prezentate în cele ce urmează prin intermediul circutului electric echivalent și a formelor de undă specifice [18].

Pentru a analiza comportamentul canalelor ionice memristive am utilizat în continuare programul LT Spice întrucât acesta permite simularea topologiei ilustrate în figura 4.14 prin definirea modelelor matematice ale memristoarelor cu ioni de sodiu și potasiu studiate anterior.

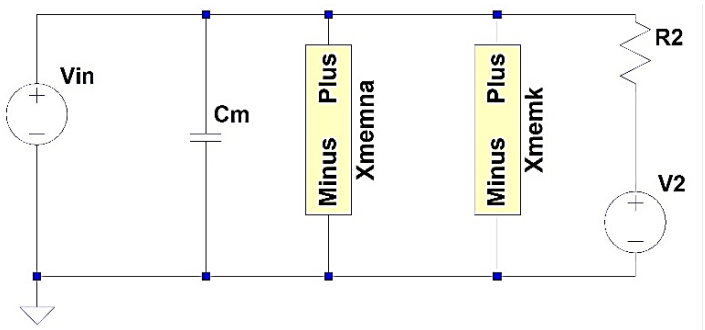


Figura 4.14 Circuitul electric memristiv corespunzător modelului Hodgkin-Huxley

Cele două memristoare $Xmem_{Na}$ și $Xmem_K$ sunt definite în fișierele .netlist atașate în ANEXELE 3 și 4 iar topologia întregului circuit în ANEXA 5. Circuitul este alimentat într-o primă parte cu o tensiune de tip treaptă de amplitudine 50mV iar în urma simulării este efectuată o analiză în regim tranzitoriu pentru a studia variația în timp a tensiunii de alimentare, a curenților ionici și a conductanțelor ionice g_K, g_{Na}.

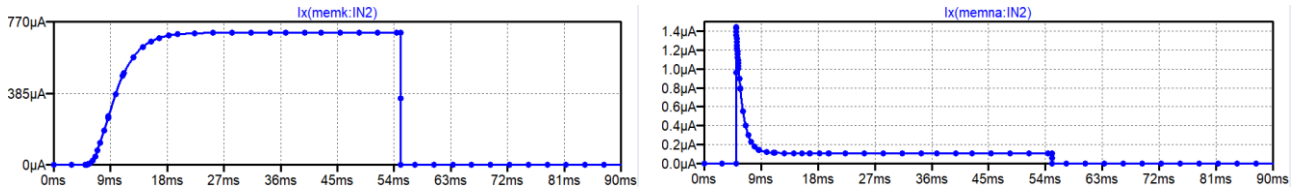


Figura 4.15 Variația în timp a curentului absorbit de memristorul cu ioni de potasiu (I_K), respectiv de sodiu (I_{Na})

Ulterior am aplicat o tensiune de alimentare sinusoidală de amplitudine 50mV cu o frecvență de 50Hz iar în urma simulării este efectuată o analiză în regim tranzitoriu pentru a studia mărimile caracteristice memristoarelor.

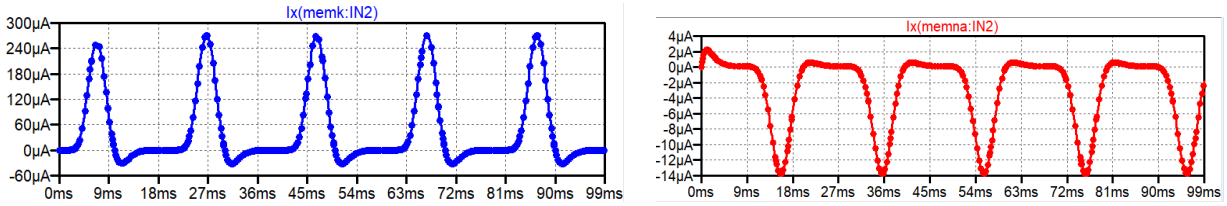


Figura 4.16 Variația în timp a curentului absorbit de memristorul cu ioni de potasiu (I_K), respectiv de sodiu (I_{Na})

După cum se poate observa din figura 4.16 aplicarea unui semnal sinusoidal la bornele sistemului memristiv generează absorbția unui curent sub forma unor pulsuri înguste pe perioada în care elementele memristive sunt conduse de un potențial de acțiune sinusoidal de alternanță pozitivă.

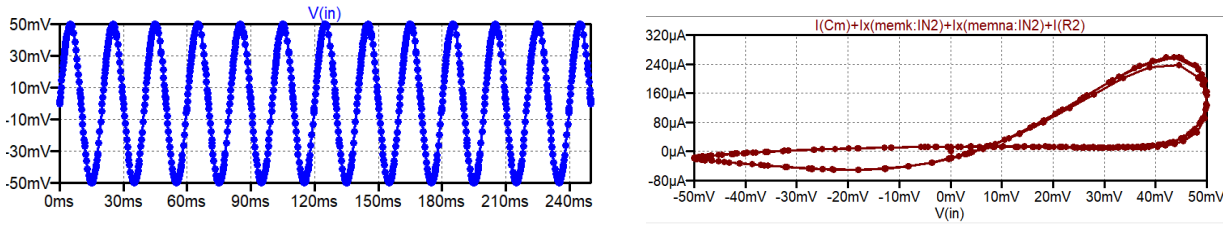


Figura 4.18 Variația în timp a tensiunii de alimentare. Curba de histerezis $I_m = f(V_{in})$

CAPITOLUL 5
IMPLEMENTAREA UNUI OSCILATOR HAOTIC MEMRISTIV

5.1. INTRODUCERE

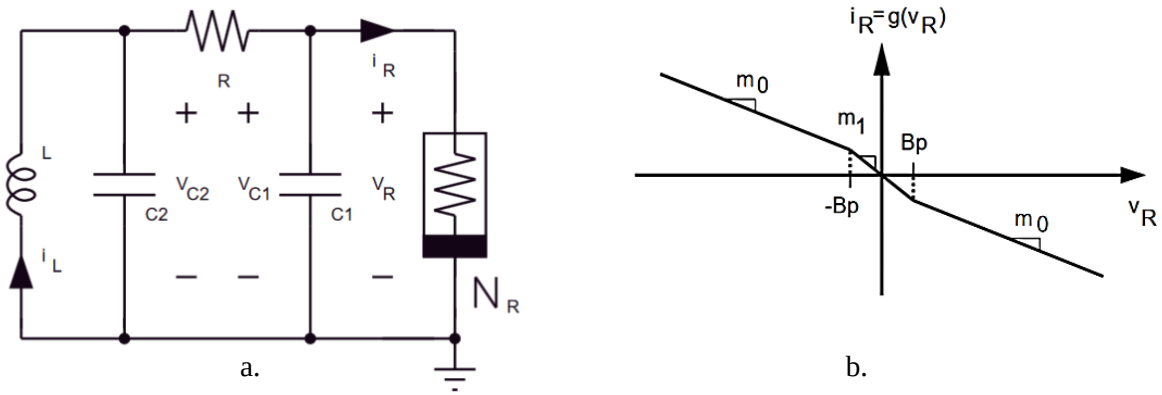
Printre puținele structuri electrice cu comportament haotic indus în mod voit de către factorul uman se poate menționa circuitul Chua, denumit după inginerul Leon Chua [32].

Circuitul Chua este în speța un oscilator cu un comportament complex, caracterizat prin bifurcații de stare și tendință către comportament haotic. Acesta este alcătuit dintr-o bobină, două condensatoare, un rezistor și un element neliniar cunoscut drept „*diodă Chua*" [20].

Acest capitol prezintă realizarea unui circuit haotic bazat pe modelul tradițional al oscilatorului lui Chua, dar care îmbină utilizarea unui rezistor neliniar tradițional cu adăugarea unui memristor realizat în cadrul laboratoarelor HP (modelul memristiv prezentat în capitolele precedente). Așadar, implementarea mixtă propusă leagă vechile lucrări de cercetare care s-au axat pe diode sau amplificatoare operaționale, cu lucrările de cercetare de actualitate care se concentrează pe memristori.

5.2. OSCILATORUL HAOTIC AL LUI CHUA

Oscilatorul lui Chua prezentat în figura 5.1a este compus dintr-o bobină de inductanță *L*, cu rezistența internă r, doi condensatori cu capacitățile *C1* și *C2*, un rezistor liniar de rezistență *R* și un element neliniar $\boldsymbol{N_R}$ [21], [29].



a. b.

Figura 5.1 a Oscilatorul haotic al lui Chua. b. Caracteristica *I-V* a elementului neliniar N_R [21]

În urma simulărilor efectuate în cadrul cercetărilor publicate până în prezent s-a observat că acest circuit prezintă un atractor cu o formă particulară de parcurgere dublă („Double Scroll Atractor”) ce ilustrează fenomenul de bifurcație de stare.

Ieșirea oricărui circuit bazat pe oscilatorul lui Chua ar trebui să îndeplinească două condiții pentru a fi recunoscut ca fiind haotic [28], [32]:

1. Variabile de circuit (curent și tensiune) măsurate în orice nod al circuitului ar trebui să fie haotice și aleatoare. Cu alte cuvinte, graficele de variație în timp ale acestora să arate ca un semnal de tip zgomot.
2. Atractorii haotici (graficul de variație a tensiunii pe unul din condensatoare versus tensiunea pe celălalt condensator/curentul prin bobină) ar trebui să prezinte fenomenul de bifurcație sau să se apropie de acesta.

Singurul element de circuit de implementat este rezistorul neliniar N_R. Există mai multe tehnici care au fost folosite în circuite practice, acesta poate fi sintetizat cu ajutorul unui amplificator operațional, cu două tranzistoare bipolare, două diode și rezistențe (Matsumoto et al 1986) [28] sau două amplificatoare operaționale și șase rezistoare (Kennedy 1993) [29], [32].

În lucrarea de fața am pornit de la implementarea circuitului realizat de Matsumoto utillizând programul LTSpice, iar topologia acestuia este ilustrată în figura 5.2, respectiv ANEXA6.

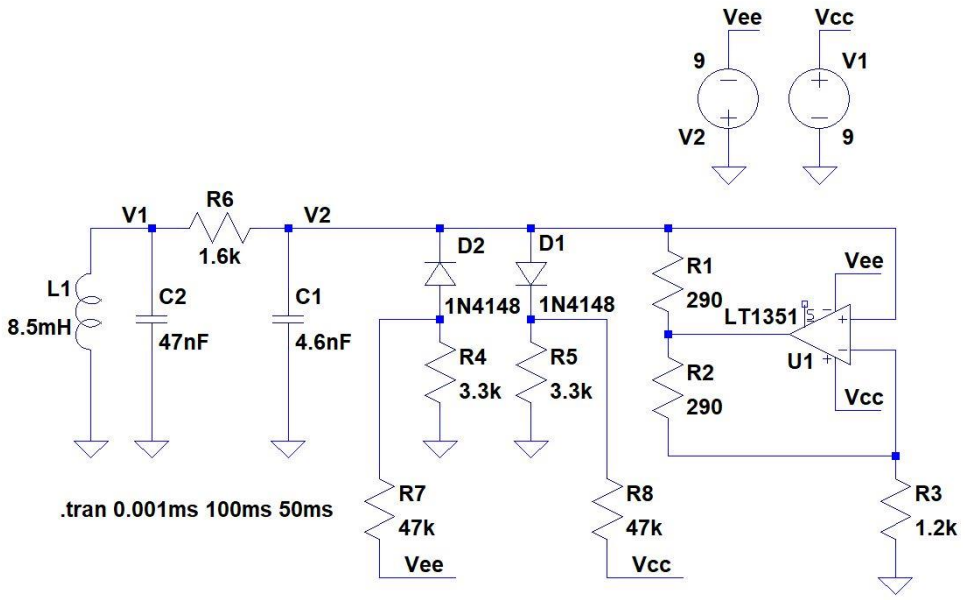


Figura 5.2 Topologia circuitul oscilatorului lui Chua implementată în LTSpice

Controlul circuitului este realizat prin intermediul conductanței aferente rezistorului *R6* iar pe măsură ce valoarea acesteia crește, se constată apariția fenomenului de dublare sau bifurcație a perioadei. Prin modificarea rezistenței *R6* în plaja de valori [0-2kΩ] s-a constatat că pentru valoarea de 1.6K circuitul se comportă ca un oscilator periodic, atractorul cu parcurgere dublă al lui Chua fiind prezentat în figura 5.3.

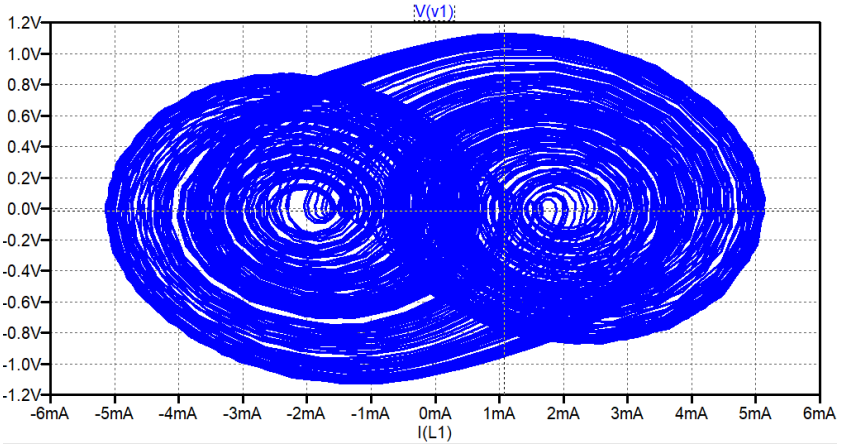


Figura 5.3 Caracteristica *I-V* aferentă fenomenului de bifurcație de stare pentru *R6* = 1.6kΩ

5.3. MODELUL MEMRISTIV AL OSCILATORULUI CHUA

Elementul inovator al acestei analize îl reprezintă adaugarea unui element neliniar memristiv în cadrul circuitului oscilant al lui Chua conform topologiei prezentate în figura 5.4 (modelul Matsumoto) și studiul comportamentului dinamic al sistemului obținut.

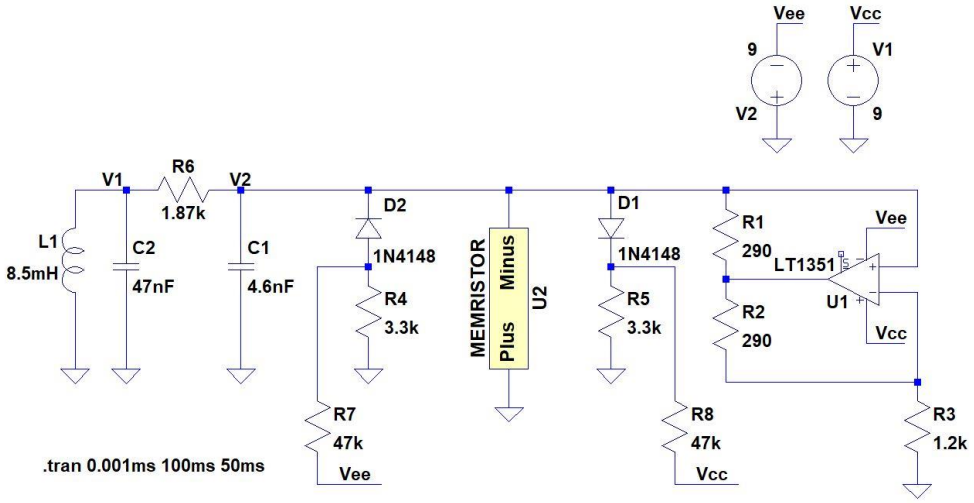


Figura 5.4 Topologia circuitul oscilatorului lui Chua cu memristoare implementată în LTSpice

Semnalul de ieșire este analizat prin căderea de tensiune pe condensatorul *C2* și se poate observa că acesta este, într-adevăr haotic și aleatoriu, deoarece se comportă ca un semnal foarte zgomotos, fără nici un model prestabilit îndeplinind astfel prima condiție necesară unui sistem haotic.

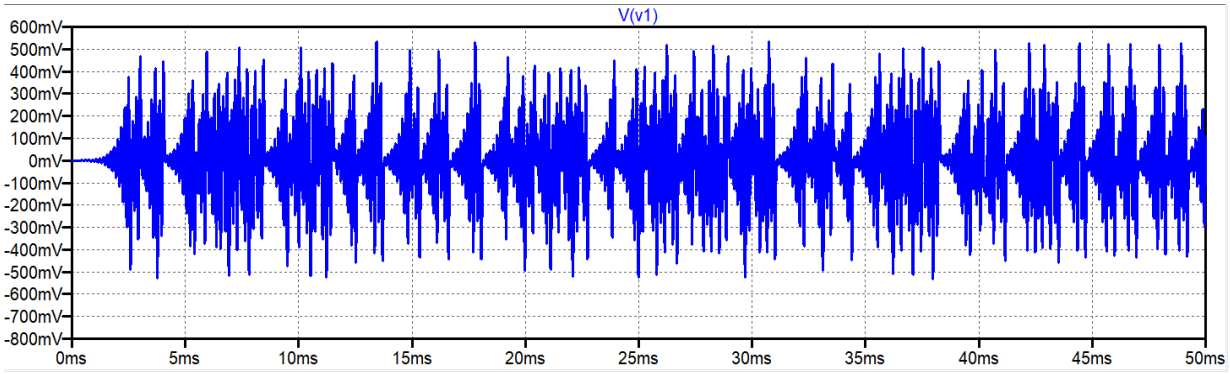


Figura 5.6 Tensiunea de ieșire măsurată la bornele condensatorului *C2*

Următorul punct de verificare a fost acela de a ilustra atractorul haotic al sistemului. Atractorul haotic este reprezentat ca o variabilă a circuitului în raport cu alta, în acest caz, curentul din inductorul *L1* a fost reprezentat grafic în raport cu tensiunea la bornele condensatorului *C2*.

Graficul obținut este ilustrat în figura 5.7 și se poate observa forma de parcurgere dublă a atractorului ce satisface și cea de-a doua condiție pentru un sistem haotic deoarece prezintă fenomenul de bifurcație.

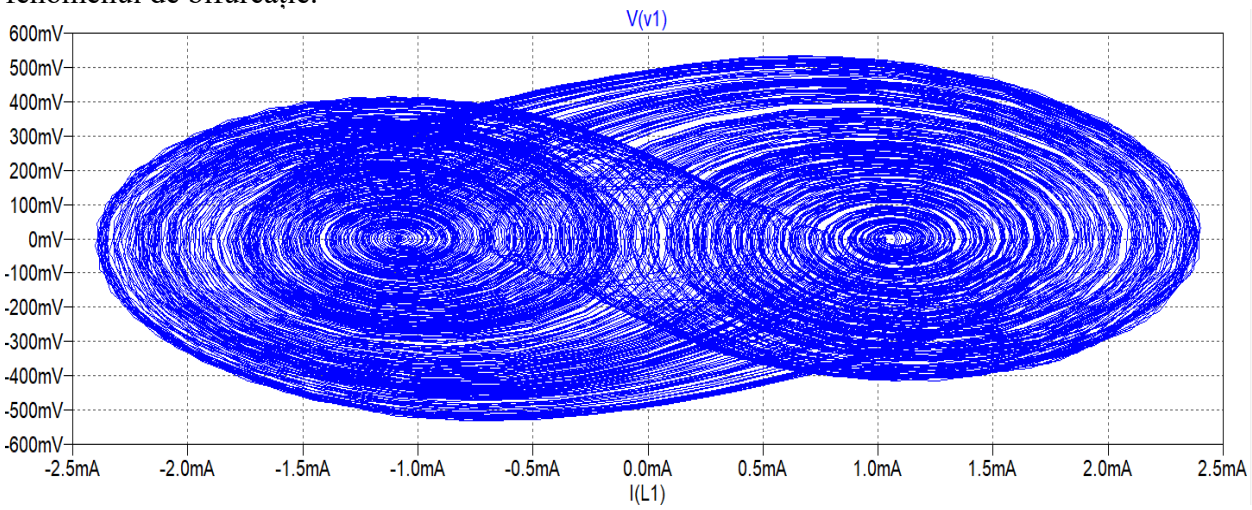


Figura 5.7 Atractorul haotic al graficului *I =f(V)* pentru circuitul cu memristor

Prin modificarea valorii rezistorului *R6* de la 2kΩ la 1.4kΩ, circuitul memristiv tranziționează de la fenomenul de bifurcație a perioadei (figura 5.8.a și b), la atractorul lui Chua

(figura 5.8.c), urmat de atractorul cu dublă parcurgere (figura 5.8.d) și în final la apariția fenomenului de saturație (figura 5.8.e).

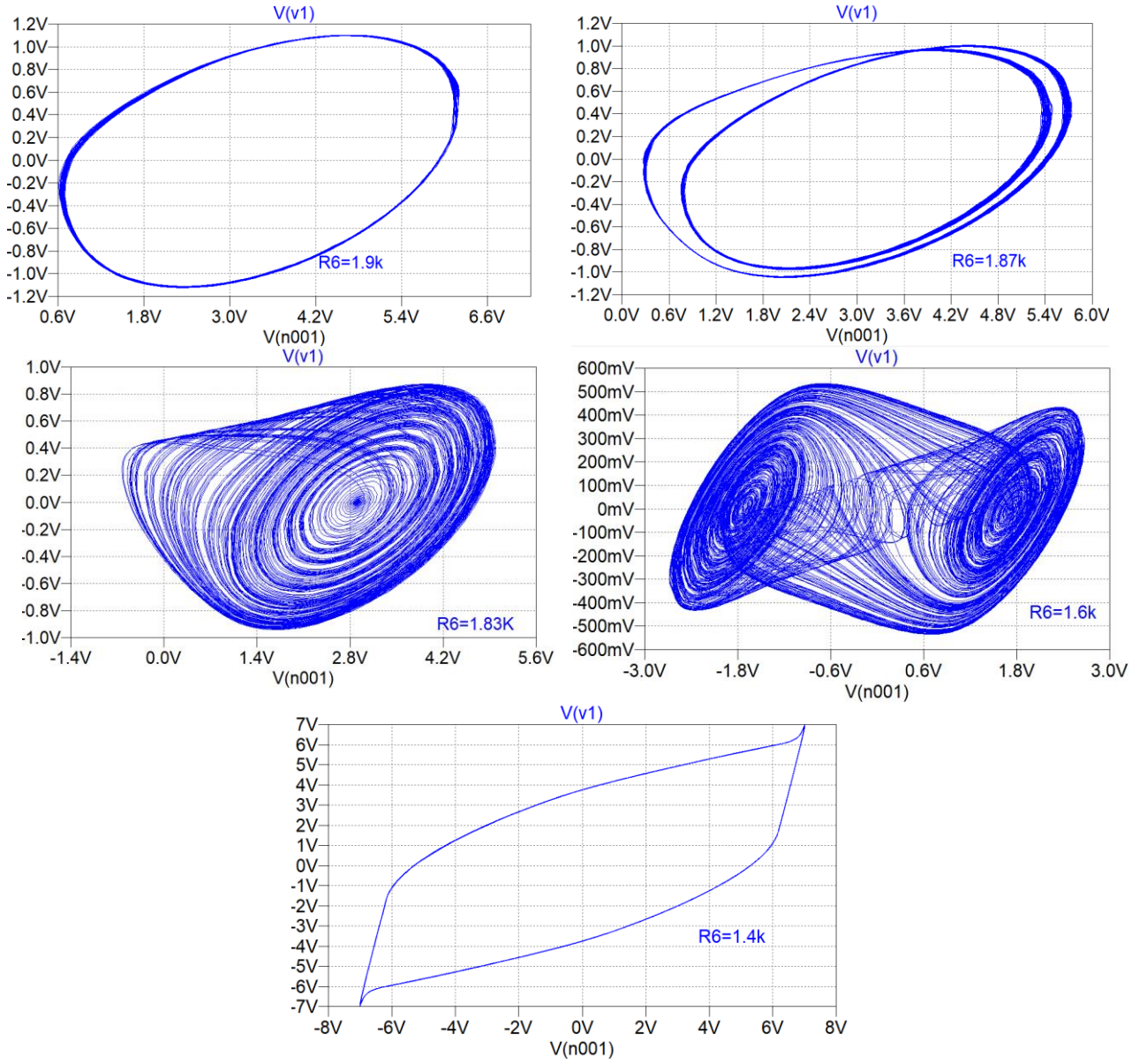


Figura 5.8 Secvențe tipice de bifurcație întâlnite (axa orizontală *V2*, axa verticală *V1*): (a) *R6* = 1.9 kΩ *perioada-1*, (b) *R6* = 1.87 kΩ *perioada-2*, (c) *R6* = 1.83 kΩ atractor spiral Chua, (d) *R6* = 1.6 kΩ atractor cu parcurgere dublă, (e) *R6* = 1.4 kΩ aferent fenomenului de saturație.

În final, pentru a mă asigura că această caracteristică aleatorie provine atât din diode, cât și din memristor, curenții fiecărei componente sunt arătați în figura 5.9 și se poate observa în mod

clar că fiecare componentă a curentului total contribuie în mod egal la caracterul aleatoriu al circuitului.

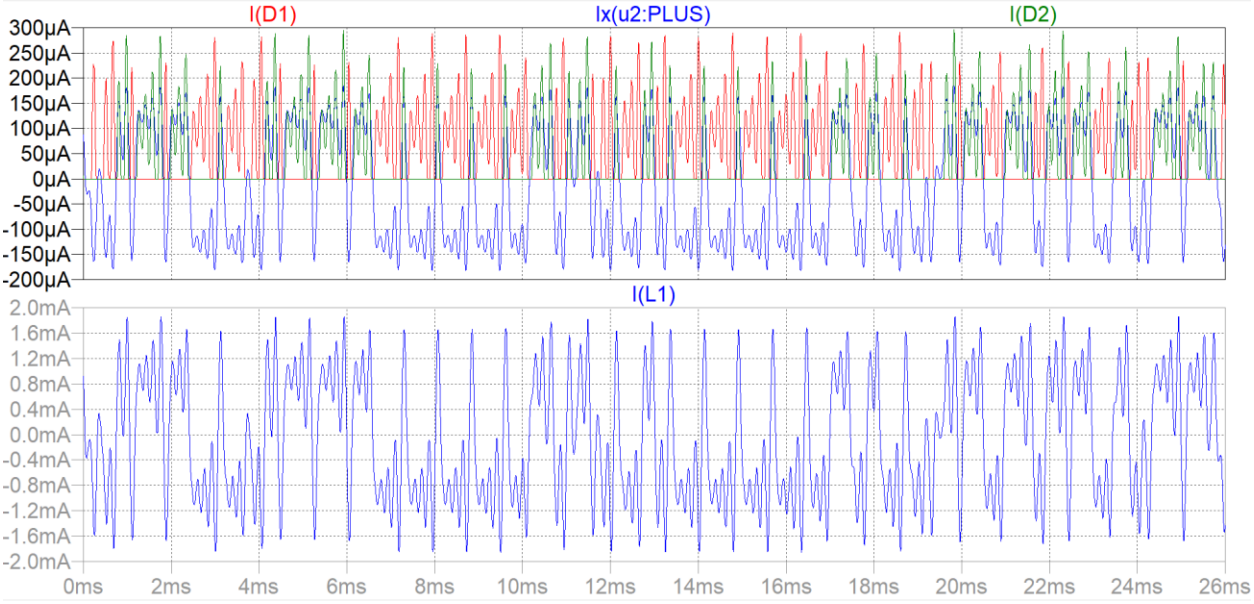


Figura 5.9.a) Curentul absorbit pe ramurile aferente elementelor de circuit *D1*, *D2*, Memristor
b) Curentul total absorbit prin bobina *L1*

O altă implementare des întalnită pentru rezistorul neliniar N_R, cu caracteristica *I-V* descrisă anterior în figura 6.5 se realizează prin conectarea în paralel a două convertoare de rezistență negativă (modelul Kennedy) [37], [39] așa cum se arată în figura 5.10.

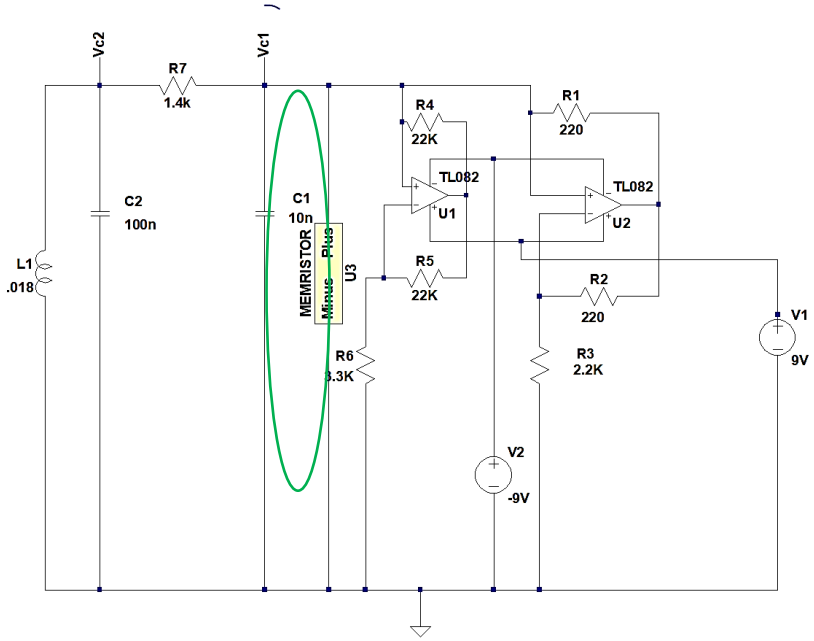


Figura 5.10 Topologia circuitului oscilatorului memristiv al lui Chua, implementată în LTSpice

Dinamica circuitului este studiată în același mod prezentat în paragraful precedent, prin schimbarea valorii R_7 a rezistorului de la 0 la 2kΩ. Așa cum era de așteptat, în timp ce rezistența sa crește, fenomenul de dublare a perioadei este obținut ducând la un comportament haotic așa cum este ilustrat în secvențele din figura 5.11. Un alt fenomen interesant observat este că o astfel de modificare a valorilor rezistenței de control determină, de asemenea, o modificare a dimensiunii pentru fiecare atractor obținut. Prin urmare, orbita *perioadei – 1* este mare, cea a *perioadei – 2* este mai mică, cea a *perioadei – 4* chiar mai mica, iar la final aceasta scade în mod vizibil înainte de a dispărea cu totul [32], [40].

Rezultatele simulării confirmă faptul că dublarea perioadei este un fenomen descris în mod obișnuit de sistemele dinamice neliniare, iar cascadarea acestui fenomen reprezintă o modalitate comună de a realiza haosul.

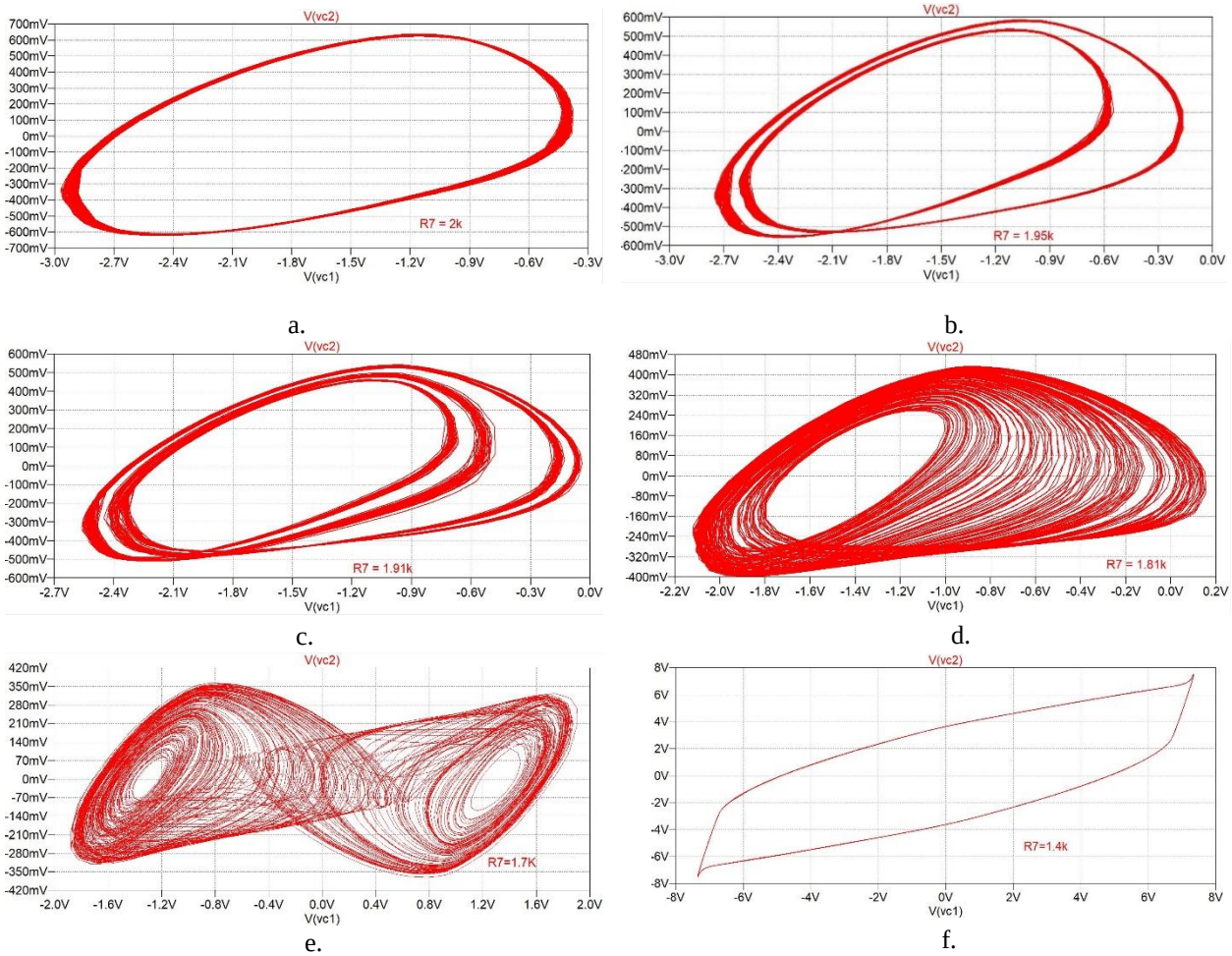


Figura 5.11. Secvențe tipice de bifurcație întâlnite (axa orizontală *V2*, axa verticală *V1*): (a) *R7*= 2 kΩ *perioada-1*, (b) *R7* = 1.95kΩ *perioada -2*, (c) *R7* = 1.83kΩ *perioada -4*, (d) *R7* = 1.72 kΩ atractor spiral Chua, (e) *R7*= 1.6 kΩ atractor parcurgere cu dublă, (f) *R7* = 1.4 kΩ aferent fenomenului de saturație

CAPITOLUL 6
CONCLUZII

6.1 CONCLUZII GENERALE

Modelul analizat în SPICE este reprezentat de un subcircuit cu două terminale ai cărui parametrii pot fi definiți într-un mod facil la utilizarea dispozitivului memristiv în orice circuit electric. De asemenea a fost luată în calcul posibilitatea de a utiliza aceste dispozitive emergente în cadrul porților logice.

În urma analizei canalelor memristive cu ioni de sodiu și potasiu prezentate în capitolul 4 al acestei lucrări, s-au obținut caracteristici de histerezis simetrice în origine datorată unui semnal de intrare periodic ce se îngustează pe măsură ce frecvența semnalului de alimentare crește, caracteristici unice ale memristoarelor. Așadar utilizarea sistemelor memristive pentru a fabrica rețele neuronale artificiale de dimensiuni comparabile cu creierul uman ar putea deveni posibilă.

În cadrul capitolului 5 am propus o modalitate de a implementa un generator haotic de secvențe numerice aleatoare prin utilizarea unui memristor HP integrat în bine-cunoscutul circuit Chua pornind de la cele două modele definite de Matsumoto și Kennedy. Așadar rezultatele simulării LT Spice confirmă faptul că noile circuite memristive propuse pentru implementarea oscilatorului lui Chua pot menține și îmbunătăți comportamentul haotic.

6.2 CONTRIBUȚII ORIGINALE

În continuare sunt prezentate pe scurt contribuțiile personale originale pe care le aduce teza de faţă în domeniul studiat atingând următoarele probleme:

- ✓ Se prezintă principalele modele ale memristoarelor din literatura de specialitate și numeroasele încercări de a le utiliza în circuite memristive complexe din diferite arii de aplicabilitate. Se identifică metodele de analiză, modelarea, simularea și proiectarea circuitelor analogice memristive și se ilustrează beneficiile aduse de utilizarea programului LTSpice în analiza acestora.
- ✓ Utilizarea circuitului echivalent al memristorului, fiind adăugat în programul LTSpice pe baza modelului matematic descris în cadrul unui fișier netlist și modelarea

comportamentului caracteristic de „memorie” .

- ✓ Identificarea parametrilor de definiție ai memristorului la momentul t_0 pentru care se obține curba de histerezis specifică dispozitivelor cu memorie și evidențierea degenerării acesteia la o linie dreaptă, caz în care se comportă ca un rezistor obișnuit.
- ✓ Utilizarea memristorului astfel definit în LTSpice și conturarea posibilității de a utiliza rezistoarele cu memorie pentru a asigura fenomenul de comutație în cadrul unor porți logice memristive beneficiind astfel de dimensiuni reduse ale circuitului și consum de putere mai mic.
- ✓ Realizarea studiului modelului neuronal propus de Hodgkin și Huxley și analiza posibilității de modelare a canalelor ionice prin intermediul unor canale memristive cu ioni de sodiu și potasiu în LTSpice.
- ✓ Propunerea de a adăuga memristorul în cadrul subcircuitului echivalent al elementului neliniar din oscilatorul lui Chua și analiza dinamicii circuitului cu ajutorul programului LTSpice, pornind de la două topologii des întâlnite în lucrările ştiinţifice.
- ✓ Determinarea valorilor optime ale parametrilor inițiali ai memristoarelor și ai rezistenței de control care asigură comportamentul haotic al circuitului propus cât și evidențierea atractorilor specifici și variația dimensiunii acestora cu valoarea rezistenței de control.

6.3 PERSPECTIVE DE DEZVOLTARE ULTERIOARĂ

În ceea ce privește perspectivele viitoare de dezvoltare raportate la modelele studiate în cadrul lucrării, modelul SPICE detaliat în cadrul acestei lucrări ar putea fi îmbunătățit intr-un studiu ulterior prin adăugarea unui al doilea strat activ în scopul de a obține un răspuns mai bun al acestuia la variația frecvenței.

Totodată, memristoarele prezintă toate caracteristicile necesare pentru a emula o rețea de neuroni electronici capabili să învețe, să se adapteze, să ia decizii și pot reprezenta în viitor o bază solidă în construirea calculatoarelor inteligente, conștiente, asemeni unui creier electronic. O sugestie viitoare de cercetare ce îmbină studiile efectuate în capitolele precedente cu cel prezent o reprezintă utilizarea memristoarelor pentru a sincroniza o rețea formată din doi neuroni.

În cazul circuitelor haotice propuse, pentru a studia în continuare dinamica acestora, ar trebui construite diagrame de bifurcație, care, de asemenea, ajută la determinarea la ce valori

exacte circuitul devine haotic. Sincronizarea circuitelor haotice poate reprezenta un alt punct de studiu viitor.

Această lucrare permite o comparație amplă a modelelor memristive deoarece pot fi implementate toate topologiile cu ușurința într-un singur program, LTSpice și utilizate în studii ulterioare. Parametrii acestui model ar putea fi cel mai probabil schimbați pentru a se adapta la viitoarele tehnici de fabricație, deoarece s-a demonstrat că acest model corespunde cu exactitate proprietăților caracteristice unei varietăți de memristoare.

BIBLIOGRAFIE

[1] Chua, L. O. ,*Memristor -The missing circuit element*. Circuit Theory, IEEE Transactions on 18, 507–519 (1971).

[2] Amisha A. Mestry, Pravin U. Dere, Sanjay M.Hundiwale, Kirti S. Agashe, *Implementation of Memristor circuits using LTspice*, ISSN 2250 – 1959 (2014).

[3] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, *The missing memristor found*, Nature, vol. 453, pp. 80-83, 2008.

[4] L. O. Chua and Sung Mo Kang, *Memristive devices and systems*,in Proceedings of the IEEE, vol. 64, no. 2, pp. 209-223, Feb. 1976, doi: 10.1109/PROC.1976.10092.

[5] V. M. Mladenov and S. M. Kirilov, *Analysis of a serial circuit with two memristors and voltage source at sine and impulse regime*, 2012 13th International Workshop on Cellular Nanoscale Networks and their Applications, Turin, 2012, pp. 1-6, doi: 10.1109/CNNA.2012.6331476.

[6] Z. Biolek, D. Biolek, and V. Biolkova, *Spice model of memristor with nonlinear dopant drift*, Radioengineering, vol. 18, no. 2, pp. 210–214, 2009.

[7] A. Shrivastava, M. Khalid, K. Singh, *Improved dual sided doped memristor: modelling and applications*, The Journal of Engineering, May 2014.

[8] Herbert Ho-Ching Iu, Andrew L. Fitch, *Development of Memristor Based Circuits*, World Scientific Series on Nonlinear Science, Series A — Vol. 82, ISBN 978-981-4383-38-7 (2013).

[9] Russ Arensman, *Despite HP's Delays, Memristors are Now Available*, Mai 2016, http://electronics360.globalspec.com/

[10] Williams, R., *How We Found The Missing Memristor*, Spectrum, IEEE (Volume:45, Issue: 12).

[11] A. G. Radwan, M. A. Zidan and K. N. Salama, *HP Memristor mathematical model for periodic signals and DC*, 2010 53rd IEEE International Midwest Symposium on Circuits and Systems, Seattle, WA, 2010, pp. 861-864, doi: 10.1109/MWSCAS.2010.5548670.

[12] Alexandra Ionescu, Alina Orosanu, Andrei Dragomir, Andrei Rosu, Mihai Iordache, *Analysis of memristive nonlinear circuits*, EV2017, October 2017, Bucharest, Romania.

[13] Dalibor Biolek, Member, IEEE, Massimiliano Di Ventra and Yuriy V. Pershin, Senior Member, IEEE, *Reliable SPICE Simulations of Memristors, Memcapacitors and Meminductors*, RADIOENGINEERING, VOL. 22, NO. 4, DECEMBER 2013.

[14] Guy Satat Nimrod Wald, Shahar Kvatinsky, *Logic Design with Memristors*, Technion – Israel Institute of Technology Winter 2011-12

[15] Khalid, Muhammad & Singh, Jawar, *Memristor based unbalanced ternary logic gates*, Analog Integrated Circuits and Signal Processing. 87. 10.1007/s10470-016-0733-1.

[16] Maheshwar Pd. Sah, Hyongsuk Kim, Leon O. Chua, *Brains are made of memristors*, Digital Object Identifier 10.1109/MCAS.2013.2296414, 20 February 2014.

[17] A. L. Hodgkin and A. F. Huxley, *A quantitative description of membrane current and its application to conduction and excitation in nerve*, J. Physiol., vol. 117, no. 4, pp. 500–544, Aug. 1952.

[18] Biolek D., Biolek Z. , *Fourth Fundamental Circuit Element: SPICE Modeling and Simulation.* In: Tetzlaff R. (eds) Memristors and Memristive Systems. Springer, New York.

[19] Wulfram Gerstner, Werner M. Kistler, Richard Naud and Liam Paninski, *Ion Channels and the Hodgkin-Huxley Model*, Part I Foundations of Neuronal Dynamics, From single neurons to networks and models of cognition.

[20] https://www.chaotic-circuits.com/7-chaus-circuit/

[21] L. O. Chua, C. W. Wu, A. Huang and Guo-Qun Zhong, "A universal circuit for studying and generating chaos. I. Routes to chaos," in IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 40, no. 10, pp. 732-744, Oct. 1993, doi: 10.1109/81.246149.

[22] L. Chua., *Memristor, Hodgkin-Huxley, and edge of chaos*, Nanotechnology, Volume 24, Number 38, September 2013.2

[23] S. H. Jo, T. Chang, I. Ebong, B. B. Bhadviya, P. Mazumder, and W. Lu, *Nanoscale memristor device as synapse in neuromorphic systems*, Nano Lett. vol. 10, no. 4, pp. 1297–1301, Mar. 2010.

[24] L. O. Chua, V. I. Sbitnev, and H. Kim, *Hodgkin-Huxley axon is made of memristors*, Int. J. Bifurcation Chaos, vol. 22, no. 3, pp. 1230011(1)–1230011(48), Mar. 2012.

[25] M. P. Sah, C. Yang, H. Kim, B. Muthuswamy, J. Jevtic and L. Chua, *A Generic Model of Memristors With Parasitic Components*, in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 62, no. 3, pp. 891-898, March 2015, doi: 10.1109/TCSI.2014.2373674.

[26] Andrew Gorter and Herbert H.C. Iu , *Study of the Effects of Initial Conditions on an Ideal Memristor Model,* International Symposium on Nonlinear Theory and its Applications NOLTA2015, Kowloon, Hong Kong, China, December 1-4, 2015

[27] Ella Gale, , Ben de Lacy Costelloand Andrew Adamatzky, *Observation, Characterization and Modeling of Memristor Current Spikes*, Unconventional Computing Group, University of the West of England,Frenchay Campus, Coldharbour Lane, Bristol, BS16 5SR, UK February 5, 2013.

[28] Muratkhan Abdirash, Irina Dolzhikova, Alex Pappachen James, *Implementation of Chua's chaotic oscillator with an HP memristor*, arXiv:1805.08081.

[29] Michael Peter Kennedy, *Robust op amp realization of Chua's circuit*, Department of Electronic and Electrical Engineering University College Dublin, Frequenz, vol. 46, no.3 4 March April 1992, pp 66 80.

[30] Guangyi Wang,Mingzhang Cui, Bozhen Cai, Xiaoyuan Wang, and Tiling Hu, *A Chaotic Oscillator Based on HP Memristor Model*, Mathematical Problems in Engineering, Volume 2015, Article ID 561901, 12 pages.

[31] Chua, L., *The Genesis of Chua's Circuit,* AEO, Vol. 46, (1992), No.4, Hirzel-Verlag Stuttgart.

[32] Alexandra Ionescu, Alina Orosanu, Diana-Ramona Sanatescu,Mihai Iordache, *A new approach on chua's circuit analysis*, U.P.B. Sci. Bull., Series C, Vol. 81, Iss. 4, 2019 ISSN 2286-3540, 2019.

[33] Andrei Dragomir, Alina Orosanu, Andrei Rosu, Alexandra Ionescu, Mihai Iordache, *Dynamic Windshield Sun Shade Assistence*, Electric Vehicles International Conference&Show, Octombrie 2017, ICPE Solar Park, București, Romania.

[34] Diana-Ramona Sănătescu, Lucian-Vasile Ene, Alexandra Ionescu, Alina Oroșanu, Mihai Iordache, *A new approach for nonlinear analog circuits analysis* U.P.B. Sci. Bull., Series C, Vol. 81, Iss. 3, 2019 ISSN 2286-3540, 2019.

[35] Mihai Iordache, Marilena Stanciulescu , Diana Sanatescu, Sorin Deleanu, Alexandra Ionescu, Anastasie Moscu , Lavinia Bobaru, *CSAP and TFSG – Circuit Symbolic Analysis Programs*, SIELEM 2019 - 12-th International Conference on Electromechanical and Power Systems10 – 11 Octombrie 2019, Chișinău Rep. MOLDOVA.

[36] Chris Yakopcic, Tarek M. Taha, Guru Subramanyam, and Robinson E. Pino**,** *Memristor SPICE Modeling,* University of Dayton, Dayton, OH, USA

[37] M. P. Kennedy, *Three steps to chaos. II. A Chua's circuit primer*, in IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 40, no. 10, pp. 657-674, Oct. 1993, doi: 10.1109/81.246141.

[38] Ch. K. Volos, , I. M. Kyprianidis, I. N. Stouboulos, E. Tlelo-Cuautle2 and S. Vaidyanathan3, *Memristor: A New Concept in Synchronization of Coupled Neuromorphic Circuits*, Journal of Engineering Science and Technology Review 8 (2) (2015).

[39] P R Hobson and A N Lansbury, *A simple electronic circuit to demonstrate bifurcation and chaos,* P R Hobson and A N Lansbury Brunel University, Middlesex

[40] Elgar, Steve & Kennedy, Michael, *Bispectral analysis of chua's circuit*, Journal of Circuits, Systems and Computers. 03. 10.1142/S0218126693000046, 2011.

[41] https://www.chaotic-circuits.com/8-simulating-chaus-circuit-with-ltspice/

[42] http://juho-eric.blogspot.com/2011/12/ltspice-simulation-of-chuas-circuit.html

[43] https://helentronica.com/2015/02/04/chuas-circuit-chaos-in-its-most-simple-form/

ANEXE

ANEXA 1 – Modelarea memristorului în LT Spice

ANEXA 2 - Circuite porți logice memristive ȘI, SAU

ANEXA 3 – Modelarea memristorului pentru canalul cu ioni de potasiu alimentat de un semnal sinusoidal

ANEXA 4 - Modelarea memristorului pentru canalul cu ioni de sodiu alimentat de un semnal sinusoidal

ANEXA 5 - Modelarea sistemului memristiv Hodgkin-Huxley

ANEXA 6 – Modelarea oscilatorului lui Chua (topologie Matsumoto fără memristor**)**

ANEXA 7 - Modelarea oscilatorului Chua (topologie Matsumoto cu memristoare)

ANEXA 8 - Modelarea oscilatorului Chua cu (topologie Kennedy cu memristor)